

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**



PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: September 21, 1998

Application Number: Japanese Patent Application  
No. 10-266802

Applicant(s): NIPPON TELEGRAPH AND TELEPHONE  
CORPORATION

October 8, 1999

Commissioner,  
Patent Office

Takahiko Kondo (Seal)

Certificate No.11-3060044

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

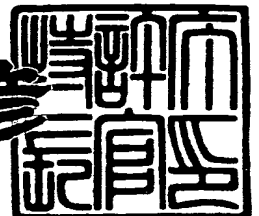
出 願 年 月 日 NOV 08 1999  
Date of Application: 9 9 8 年 9 月 2 1 日

出 願 番 号  
Application Number: 平成 1 0 年 特 許 願 第 2 6 6 8 0 2 号

出 願 人  
Applicant (s): 日 本 電 信 電 話 株 式 会 社

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 平 1 1 - 3 0 6 0 0 4 4

【書類名】	特許願
【整理番号】	NTTH105975
【提出日】	平成10年 9月21日
【あて先】	特許庁長官 伊佐山 建志 殿
【国際特許分類】	H04L 12/48 H04L 12/56
【発明の名称】	A T Mスイッチ
【請求項の数】	6
【発明者】	
【住所又は居所】	東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
【フリガナ】	タカ ナキ
【氏名】	高谷 直樹
【発明者】	
【住所又は居所】	東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
【フリガナ】	ヤカ セイヨウ
【氏名】	安川 正祥
【発明者】	
【住所又は居所】	東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
【フリガナ】	カシマ マサヨシ
【氏名】	鍋島 正義
【発明者】	
【住所又は居所】	東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
【フリガナ】	ヤマカ ナキ
【氏名】	山中 直明

【特許出願人】

【識別番号】 000004226  
【住所又は居所】 東京都新宿区西新宿三丁目 1 9 番 2 号  
【氏名又は名称】 日本電信電話株式会社

【代理人】

【識別番号】 100078237  
【住所又は居所】 東京都練馬区関町北二丁目 2 6 番 1 8 号  
【弁理士】  
【氏名又は名称】 井 出 直 孝  
【電話番号】 03-3928-5673

【選任した代理人】

【識別番号】 100083518  
【住所又は居所】 東京都練馬区関町北二丁目 2 6 番 1 8 号  
【弁理士】  
【氏名又は名称】 下 平 俊 直  
【電話番号】 03-3928-5673

【手数料の表示】

【予納台帳番号】 014421  
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9701394

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ATMスイッチ

【特許請求の範囲】

【請求項1】 一つのセルを複数のショートセルに分解する手段と、この分解する手段により分解された複数のショートセルをそれぞれ並列に転送する複数の基本スイッチと、この基本スイッチを介して転送された前記ショートセルを元のセルに合成する手段とを備え、

前記複数の基本スイッチの出力ショートセル数をそれぞれ計数する手段と、この計数する手段の計数値が等しい複数の出力ショートセルのビット情報の内容をそれぞれ比較する手段とを備え、

前記合成する手段は、この比較する手段の比較結果にしたがって前記ビット情報の内容が等しい複数のショートセルを元のセルに合成する手段を含む

ことを特徴とするATMスイッチ。

【請求項2】 前記計数する手段に代えて前記複数の基本スイッチの推定遅延時間 $t$ を求める手段を備え、

前記比較する手段に代えて前記複数の基本スイッチから遅延時間 $t \pm \epsilon$ 内に出力されたショートセルについてそのビット情報の内容をそれぞれ比較する手段を備えた請求項1記載のATMスイッチ。

【請求項3】 前記推定遅延時間 $t$ を求める手段は、前記基本スイッチに入力される所定セルの入力時刻とこのセルが前記基本スイッチから出力される出力時刻とを比較することにより前記推定遅延時間 $t$ を求める手段を含む請求項2記載のATMスイッチ。

【請求項4】 前記推定遅延時間 $t$ を求める手段は、前記所定セルを周期的に送出する手段を含む請求項3記載のATMスイッチ。

【請求項5】 前記基本スイッチは、一つの単位スイッチにより構成される請求項1または2記載のATMスイッチ。

【請求項6】 前記基本スイッチは、縦続に多段接続された単位スイッチにより構成される請求項1または2記載のATMスイッチ。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明はATM(Asynchronous Transfer Mode)に利用する。本発明はATM交換機に利用するに適する。本発明はセル順序逆転およびセル遅延変動の制御技術に関する。なお、本明細書では、基本スイッチはATMスイッチを構成する要素であり、単位スイッチは基本スイッチを構成する要素として説明する。また、セルを分解することにより生成されたセルをショートセルと呼ぶことにする。

## 【0002】

## 【従来の技術】

ATMスイッチを大規模化する方法として、小型のATMスイッチを多段に接続する方法がある。その従来例を図14を参照して説明する。図14は3段構成のATMスイッチを示す図である。図14に示すような3段スイッチの場合には、1段目～2段目は分配網、2段目～3段目はルーティング網の構成となる。

## 【0003】

分配網は入力されるセルをルーティング網の入力ポート毎に均等な確率で到着させることができる。そのため、ルーティング網は各入力ポートに均等にセルが到着するので、内部でブロッキングを極力起こさず、セルを所望のポートへルーティングすることができる。しかし、この方式では、ATMセルが分配網で複数の経路に振り分けられるので、ルーティング網でランダムな遅延を受けることになる。そのため、セルの順序が逆転を起こす可能性があり、この順序を補償する制御を行う必要がある。

## 【0004】

例えば、この順序補償を行う方式として、ROXANNE交換機では遅延均等化方式を採用している(Martin de Prycker:Asynchronous Transfer Mode Solution for Broadband ISDN,Ellis Horwood)。

## 【0005】

これは全てのセルが一定の総最大遅延量で到着するように、どんな可変転送遅延も出口で補償されるというものである。この従来例を図15を参照して説明する。図15は遅延均等化方式のATMスイッチを示す図である。これを実現する

ために、図15に示すように、ATMスイッチに入力してくるATMセルに対してタイムスタンプ部によりタイムスタンプを付与し、出口でその総遅延量が絶対最大遅延と等しくなるまでセルがバッファで待つことになる。セル順序補償部は、この出力側のバッファで並び替えを行うことによりセル順序を補償する。この方式では、最大遅延時間を規定しているため、ATMスイッチから出ていくセルはジッタが全くない。

## 【0006】

## 【発明が解決しようとする課題】

上記従来例で説明したように、ATMスイッチ全体としてセル順序補償を行う技術は確立されている。ところで、発明者らはATMスイッチの大規模化を図る目的で、一つのセルを複数のショートセルに分割して転送する方式を開発した。これは、基本スイッチをLSI化する場合に、一つの基本スイッチが扱う情報量が大きいとピン数の増加を招くことになり、LSI化が困難になることから、情報量を多数の基本スイッチに分散するために行われる。これにより、基本スイッチをLSI化するときのピン数を少なくすることができ、LSI化が容易になり、このようにして生産されたLSIを多数接続することにより、大規模ATMスイッチを実現するものである。

## 【0007】

このとき、ATMスイッチ容量の大規模化を狙うためセルを複数のショートセルに分割して複数面の基本スイッチに対し同時に送信するようなATMスイッチの場合には、ATMセル合成部を設け、複数面の基本スイッチから出力された複数のショートセルを元のセルに合成する必要がある。

## 【0008】

このとき、各基本スイッチの遅延ジッタの影響により、分割したショートセルのATMセル合成部への到着時間に揺らぎがあり、これにより互いに合成すべきショートセル同士が同じ時刻にATMセル合成部に到着しないといった事態が発生する。このとき、他のセルを構成するショートセルが到着していたとすると、本来合成されるべきショートセル同士ではないショートセル同士が合成されることもあり、セル誤りが発生する可能性がある。



## 【0009】

しかし、このような複数面用意した基本スイッチに対し、セルを複数に分割したショートセルを同時に送信する方式では、各基本スイッチにおける遅延ジッタの影響を回避をすることを意識した制御法が提案されていない。

## 【0010】

また、理論の上では、従来例で説明したようなATMスイッチの遅延均等化方式をそのまま基本スイッチに適用することも考えられるが、ATMスイッチを構成する多数の基本スイッチのそれぞれが所定の最大遅延までショートセルを待たせてから出力を行う遅延均等化制御を行ったとすれば、ATMスイッチ全体の累積遅延時間は膨大なものとなるので、そのような制御は困難である。

## 【0011】

本発明は、このような背景に行われたものであって、セルを複数のショートセルに分割して転送する方式における各基本スイッチの遅延ジッタの影響を排除することができるATMスイッチを提供することを目的とする。本発明は、遅延を増大させることなく各基本スイッチの遅延ジッタの影響を排除することができるATMスイッチを提供することを目的とする。

## 【0012】

## 【課題を解決するための手段】

本発明は、セルをショートセルに分解して複数の基本スイッチを介して転送し、そのショートセルを再び元のセルに合成するとき、これらのショートセルをいきなり合成するのではなく、合成するショートセルの候補を選択し、その上でそれらのビット情報の内容を比較することにより正当性を確認した後に合成を行うことを特徴とする。

## 【0013】

すなわち、本発明はATMスイッチであって、その特徴とするところは、一つのセルを複数のショートセルに分解する手段と、この分解する手段により分解された複数のショートセルをそれぞれ並列に転送する複数の基本スイッチと、この基本スイッチを介して転送された前記ショートセルを元のセルに合成する手段とを備え、前記複数の基本スイッチの出力ショートセル数をそれぞれ計数する手段

と、この計数する手段の計数値が等しい複数の出力ショートセルのビット情報の内容をそれぞれ比較する手段とを備え、前記合成する手段は、この比較手段の比較結果にしたがって前記ビット情報の内容が等しいときにこの複数のショートセルを元のセルに合成する手段を含むところにある。

## 【0014】

このように、複数の基本スイッチから出力されるショートセル数を計数することにより、合成するショートセル候補を特定することができる。さらに、それらのショートセルのビット情報の内容をそれぞれ比較することにより確実に、正しい組合せのショートセル同士か否かを確認することができる。比較するビット情報の内容としては、例えば、ショートセルの入力および出力ポートの宛先ビットを参照することができる。

## 【0015】

あるいは、前記計数する手段に代えて前記複数の基本スイッチの推定遅延時間 $t$ を求める手段を備え、前記比較する手段に代えて前記複数の基本スイッチから遅延時間 $t \pm \tau$ 内に出力されたショートセルについてそのビット情報の内容をそれぞれ比較する手段を備えてもよい。

## 【0016】

このように、複数の基本スイッチからほぼ等しい遅延時間により出力されたショートセルであれば、合成するショートセル候補を特定することができる。さらに、それらのショートセルのビット情報の内容をそれぞれ比較することにより確実に、正しい組合せのショートセル同士か否かを確認することができる。

## 【0017】

このとき、前記推定遅延時間 $t$ を求める手段は、前記基本スイッチに入力される所定セルの入力時刻とこのセルが前記基本スイッチから出力される出力時刻とを比較することにより前記推定遅延時間 $t$ を求める手段を含むことが望ましい。さらに、前記推定遅延時間 $t$ を求める手段は、前記所定セルを周期的に送出する手段を含むことが望ましい。これにより、推定遅延時間 $t$ の精度を高めることができる。

## 【0018】

また、前記基本スイッチは、一つの単位スイッチにより構成される場合と、縦続に多段接続された単位スイッチにより構成される場合とがある。縦続に多段接続された単位スイッチにより構成される場合には、比較する前記ビット情報の内容として、ルーティングビットを参照することもできる。

## 【0019】

## 【発明の実施の形態】

発明の実施の形態を図1および図10を参照して説明する。図1は本発明第一実施例のATMスイッチ網の要部ブロック構成図である。図10は本発明第二実施例のATMスイッチ網の要部ブロック構成図である。

## 【0020】

本発明はATMスイッチ網であって、本発明の特徴とするところは、一つのセルを複数のショートセルに分解する手段であるATMセル分解部20と、このATMセル分解部20により分解された複数のショートセルをそれぞれ並列に転送する複数の基本スイッチ $10_0 \sim 10_{N-1}$ と、この基本スイッチ $10_0 \sim 10_{N-1}$ を介して転送された前記ショートセルを元のセルに合成する手段であるATMセル合成部30とを備え、本発明第一実施例では、複数の基本スイッチ $10_0 \sim 10_{N-1}$ の出力ショートセル数をそれぞれ計数する手段であるカウンタ $1_0 \sim 1_{N-1}$ と、このカウンタ $1_0 \sim 1_{N-1}$ の計数値が等しい複数の出力ショートセルのビット情報の内容をそれぞれ比較する手段である比較部2とを備え、ATMセル合成部30は、比較部2の比較結果にしたがってこのビット情報の内容が等しいときにこの複数のショートセルを元のセルに合成するところにある。比較するビット情報の内容としては、図13に示す宛先ビットおよびソースビットを参照することができる。

## 【0021】

また、本発明第二実施例では、本発明第一実施例のカウンタ $1_0 \sim 1_{N-1}$ に代えて複数の基本スイッチ $10_0 \sim 10_{N-1}$ の推定遅延時間 $t$ を求める手段である遅延時間推定部3を備え、さらに、本発明第一実施例の比較部2に代えて複数の基本スイッチ $10_0 \sim 10_{N-1}$ から遅延時間 $t \pm \tau$ 内に出力されたショートセルについてそのビット情報の内容をそれぞれ比較する手段である比較部12を備え

る。

#### 【0022】

遅延時間推定部3は、基本スイッチ $10_0 \sim 10_{N-1}$ に入力される所定セルであるタイミングセルの入力時刻とこのセルが基本スイッチ $10_0 \sim 10_{N-1}$ から出力される出力時刻とを比較することにより前記推定遅延時間 $t$ を求める。また、遅延時間推定部3は、タイミングセルを周期的に送出する。

#### 【0023】

##### 【実施例】

本発明実施例が適用されるATMスイッチを図2ないし図6を参照して説明する。図2は2面の基本スイッチを介してショートセルを転送する構成のATMスイッチを示す図である。図3はN面の基本スイッチを介してショートセルを転送する構成のATMスイッチを示す図である。図4は2面の基本スイッチを介してショートセルを転送する場合のショートセルのフォーマット例を示す図である。図5は単位スイッチが多段接続された基本スイッチを介してショートセルを転送する構成のATMスイッチを示す図である。図6は単位スイッチが多段接続された基本スイッチを介してショートセルを転送する場合のショートセルのフォーマット例を示す図である。

#### 【0024】

図2の例では、0系、1系の2面の基本スイッチ $10_0$ および $10_1$ を持ち、その前段にATMセル分解部20、その後段にATMセル合成部30を持つ。ATMセル分解部20とATMセル合成部30は同期しており、絶対的な時間をもつことと仮定する。セルがあるATMセル分解部20に到着すると、まず、タイムスタンプが付与される。さらに、宛先ビットが付与される。分解されたショートセルフォーマットの一例を図4に示す。分解されたショートセルのフォーマットは空きセル、有効セル、タイミングセルを区別するビットを持ち、複数面の内、どの面を利用するかを区別するビットを持ち、出力先の宛先のポート番号および入力ポート番号を記述するビットを持ち、分解されたショートセルが同時に複数の基本スイッチへ送出される時間を書込むタイムスタンプを記述するビットを持ち、複数の基本スイッチの場合には、セルのペイロードを複数個割った分を記

述するビットを持つ。図4の場合には、基本スイッチは2面なので、セルのペイロードの半分を持つことになる。分解されたショートセルは同時に0系、1系の基本スイッチ $10_0$ および $10_1$ に送信され、基本スイッチ $10_0$ および $10_1$ から出力されたショートセルはATMセル合成部30により合成される。

#### 【0025】

また、図3の例では、0系、1系、…、 $N-1$ 系の $N$ 面( $N$ :自然数)の基本スイッチ $10_0 \sim 10_{N-1}$ を持ち、その前段にATMセル分解部20、その後段にATMセル合成部30を持つ。ATMセル分解部20とATMセル合成部30は同期しており、絶対的な時間を持つことと仮定する。他の動作は図2の例と同様である。

#### 【0026】

また、図5に示すように、基本スイッチが多段接続された単位スイッチにより構成される場合もある。まず、ATMセル分解部20により分解されたショートセルは3段スイッチの分配網を通過する。分配網ではルーティング網に入力されるショートセルを各ポート別に等確率にするため、ショートセルをランダムに分配する。そのため、同一なVPI、VCIのショートセルであっても別のルートを経由することになる。

#### 【0027】

次に、分解されたショートセルはルーティング網を通過する。ルーティング網から出力されたショートセルはATMセル合成部30によりセルに合成される。この場合のショートセルのフォーマット例を図6に示す。図4に示したフォーマット例と比較するとルーティングビットが追加されていることがわかる。

#### 【0028】

このように、基本スイッチ $10_0 \sim 10_{N-1}$ は、図2および図3に示したように、一つの単位スイッチにより構成される場合と、図5に示したように、縦続に多段接続された単位スイッチにより構成される場合とがある。

#### 【0029】

縦続に多段接続された単位スイッチにより構成される場合には、ATMセル合成部30は、合成しようとする複数のショートセルのルーティングビットが等し

いときにこの複数のショートセルを元のセルに合成することもできる。

### 【0030】

#### (第一実施例)

本発明第一実施例を図1、図7および図8を参照して説明する。図7は本発明第一実施例のジッタ補償を説明するための図である。図8は本発明第一実施例の動作を示すフローチャートである。

### 【0031】

本発明第一実施例は、図2に示したATMスイッチ構成に本発明を適用する例である。図2のATMスイッチ構成では、既に説明したように、0系、1系の2面の基本スイッチ $10_0$  および $10_1$  を持ち、その前段にATMセル分解部20、その後段にATMセル合成部30を持つ。ATMセル分解部20とATMセル合成部30は同期しており、絶対的な時間をもつことと仮定する。したがって、図1に示す要部ブロック構成図では、基本スイッチ $10_0$  および $10_1$ 、カウンタ $1_0$  および $1_1$  を有する構成になる。

### 【0032】

セルがあるATMセル分解部20に到着すると、まず、タイムスタンプが付与される。さらに、宛先ビットを付与される。分解されたショートセルのフォーマットの一例は図4に示したとおりである。分解されたショートセルのフォーマットは空きセル、有効セル、タイミングセルを区別するビットを持ち、複数面の内、どの面を利用するかを区別するビットを持ち、出力先の宛先のポート番号および入力ポート番号を記述するビットを持ち、分解されたショートセルが同時に複数の基本スイッチへ送出される時間を書込むタイムスタンプを記述するビットを持ち、複数の基本スイッチの場合には、セルのペイロードを複数個割った分を記述するビットを持つ。図4の場合には、2面の基本スイッチ $10_0$  および $10_1$  なので、セルのペイロードの半分を持つことになる。

### 【0033】

次に、分解されたショートセルは同時に0系、1系の基本スイッチ $10_0$  および $10_1$  に送信される。この基本スイッチ $10_0$  および $10_1$  はノンブロックスイッチであり、この分解されたセルの動作は0系と1系で全く同じ動作を行うが

、ATMセル合成部30にセルが到着の際に到着時間が変動することが十分考えられる。このセル到着時間の変動揺らぎを押さえるために図7および図8のアルゴリズムを用いる。以下、図8のフローチャートを参照してアルゴリズムを説明する。

#### 【0034】

まず、図1に示すカウンタ $1_0$ および $1_1$ に、分解されたショートセルが到着した場合には、そのショートセルが0系から到着した場合はカウンタ $1_0$ の計数値CTL0を加算する。つまりCTL0=1である（初期値はCTL=0）。また、ショートセルが1系から到着した場合にはカウンタ $1_1$ の計数値CTL1を加算する。つまりCTL1=1である（初期値はCTL1=0）（S1）。

#### 【0035】

カウンタ $1_0$ および $1_1$ の計数値CTL0およびCTL1が同じ値になったとき（CTL0=CTL1）（S2）、それぞれの分解されたショートセルのソースビットを比較する（S3）。それぞれ分解されたショートセルのソースビットが同じとき、それぞれの分解されたショートセルは元々同じセルであるとわかり（S4）、これら分解されたショートセルを元のセルに合成する（S5）。

#### 【0036】

また、計数値が同じ場合で（CTL0=CTL1）、それぞれの分解されたショートセルのソースビットを比較したときそれぞれ分解されたセルのソースビットが同じではないときには、分解されたショートセルを0系、1系それぞれタイムスタンプを元にソート機能で並び替える（S6、S7）。その後、再び、それぞれの分解されたショートセルのソースビットを比較する。その比較結果が同じときはセルを合成し、違う場合は再びショートセルを読込む。

#### 【0037】

ここで、ソート機能を複数回使用した場合においても、セル合成ができないときには、それらのショートセルは異常セルと判定する（S8）。ここで、この一連の動作を行うことで、分解されたショートセルの到着時間の違いを吸収でき、連続して到着してくるショートセルの到着時間変動を吸収することにより、分解されたショートセルが合成され、ATMスイッチから出ていくセルはジッタが全

くないようにできる。

#### 【0038】

また、カウンタ  $1_0$  および  $1_1$  の計数値  $CTL_0$  および  $CTL_1$  が同じ値にならないとき ( $CTL_0 \neq CTL_1$ ) (S2)、計数値  $CTL_0$  と計数値  $CTL_1$  との差分の絶対値を閾値と比較し (S9)、この差分の絶対値が閾値を越えたときは、計数値  $CTL_0$  と計数値  $CTL_1$  とを比較して計数値が大きい方のカウンタ  $1_0$  または  $1_1$  を停止させる (S10)。停止させたカウンタ  $1_0$  または  $1_1$  の系から新たに到着したセルは待ちセルとしてセルを待機させる。また、それ以外の系から新たに到着したセルは該当するカウンタ  $1_0$  または  $1_1$  により計数する (S11)。このとき、ステップ S1 では、未だカウントされていない待ちセルがある場合には、まず、待ちセルから計数を始める。このようにして、セル到着がずれた場合には、これを補正することができる。

#### 【0039】

##### (第二実施例)

本発明第二実施例を図9を参照して説明する。図9は本発明第二実施例の動作を示すフローチャートである。本発明第二実施例の場合には、図3に示したように、0系、1系、…、 $N-1$  ( $N$ : 自然数) 系の  $N$  面の基本スイッチ  $10_0 \sim 10_{N-1}$  を持ち、その前段にATMセル分解部20、その後段にATMセル合成部30を持つ。ATMセル分解部20とATMセル合成部30は同期しており、絶対的な時間をもつことと仮定する。各基本スイッチ  $10_0 \sim 10_{N-1}$  にはショートセル到着遅延のジッタがある。

#### 【0040】

本発明第二実施例で用いるアルゴリズムは、図9に示すとおりである。本発明第一実施例で説明したアルゴリズムとの相違は、基本スイッチの面数が異なるだけである。このことから、複数面の基本スイッチ  $10_0 \sim 10_{N-1}$  を持つようなときでも、分解されたセルの到着時間の違いを吸収でき、かつ、連続して到着してくるセルの到着時間変動も吸収しつつ分解されたショートセルが合成され、ATMスイッチから出ていくセルはジッタが全くないようにできる。

#### 【0041】



## (第三実施例)

本発明第三実施例は、図5に示した3段スイッチを基本スイッチとして用いる例である。既に説明したとおり、ATMセル分解部20により分解されたショートセルは分配網を通過する。分配網ではルーティング網に入力されるショートセルを各ポート別に等確率にするため、ショートセルをランダムに分配する。そのため、同一なVPI、VCIのショートセルであっても別のルートを経由することになる。次に、分解されたショートセルはルーティング網を通過する。ルーティング網に入力されるトラヒックは分配網でランダムに分配されるので、ルーティング網内では重度の輻輳は生じない。しかし、軽度の輻輳は生じるので、別ルートを経由し同一VPI、VCIのショートセルは異なる遅延を受けることになる。そのため、ルーティング網ではショートセルの順序逆転が発生することがあり、また、ショートセル到着の際に到着時間が変動することが十分考えられる。その場合にも本発明第一実施例と同様の方式でジッタを吸収することができる。このとき、ソースビットとルーティングビットの2種類のビットを用いることができる。この場合のショートセルのフォーマットは図6に示したとおりである。

【0042】

## (第四実施例)

本発明第四実施例を図10ないし図13を参照して説明する。図11は本発明第四実施例の動作を示すフローチャートである。図12はショートセル変動許容を説明するための図である。図13はショートセル変動許容を詳細に説明するための図である。本発明第四実施例では、タイミングセルを用いてショートセル到着時間の変動揺らぎを抑える。ここでは、図2に示したように、2面の基本スイッチ10<sub>0</sub> および10<sub>1</sub> を備える構成について説明する。

【0043】

まず、このアルゴリズムを図11および図13に示す。また、ショートセル変動許容のメカニズムを図12に示す。まず、図11に示すように、タイミングセルを送出し(S21)、タイミングセルが到着した時間を元に各ショートセルの推定到着時刻(TA)を求める。0系、1系の基本スイッチ10<sub>0</sub> および10<sub>1</sub> の各出力ポートに同時にタイミングセルを転送する。このタイミングセルがAT

Mセル分解部20に到着する時間をそれぞれ、 $T_0$ 、 $T_1$ とする。これらのタイミングセルの経路は同じルーティングビットを持っているので、全く同じ経路を通過し、かつ同じ時間で到着するはずである。万が一、 $T_0$ と $T_1$ が等しくない場合には再度タイミングセルを転送する。 $T_0$ と $T_1$ が等しい場合には、ショートセル推定到着時間 $TAT = T_0 = T_1$ （初期値）とする。最小ショートセル到着時間間隔 $T$ はATM回線の速度から決定することができる。

#### 【0044】

次に、0系および1系の基本スイッチ $10_0$  および $10_1$  から出力され、ATMセル合成部30に到着した分解されたショートセルの到着時刻 $T_0$ 、 $T_1$ を観測する（S22、S23）。ここで、 $T_0$ および $T_1$ はショートセル推定到着時間 $TAT$ と等しいとき（S24）、0系、1系のソースビットを比較する（S25）。同じ場合には $TAT = T_0$ または $TAT = T_1$ としてショートセルを送出する（S26）。

#### 【0045】

また、 $TAT < T_0$ または $TAT < T_1$ のとき（S27）、つまり分解されたショートセルのどちらか一方もしくは両方が、ショートセル到着推定時刻より遅い場合でかつ、0系、1系の分解されたショートセルのソースビットが同じとき（S28）、新たな基準時刻として、ショートセルの到着時間を計算しなおす（S29）。ここでは、 $TAT = \max(T_0, T_1) + T$ とする。すなわち、分解されたショートセルの到着時間の遅い方にあわせて基準時間を設定する。

#### 【0046】

また、実際のショートセル到着がショートセル到着推定時刻より、ショートセル変動許容時間 $\tau$ を越えて早いとき（S31、S32）、異常ショートセルと判定する（S33）。また、実際のショートセル到着がショートセル変動許容時間内でショートセル到着推定時間より早いとき、かつ、0系、1系の分解されたショートセルのルーティングビットが同じとき（S34）、 $TAT(t = i + 1) = TAT(t = i) + T$ （ $t$ は時間を表し、 $i$ は任意）とする（S35）。

#### 【0047】

正常ショートセルと判定した後（S30、S36）、再度、ショートセル到着

を観測し（S22、S23）、これまで説明した手順を繰り返すことで、分解されたショートセルの到着時間の違いを吸収でき、連続して到着してくるショートセルの到着時間変動を吸収することにより、分解されたショートセルが合成され、ATMスイッチから出ていくセルはジッタが全くないようにできる。また、周期的にタイミングセルを送出し、ショートセル推定到着時間（初期値）を周期的に与えることで、絶対時間の信頼度が高まる効果がある。

#### 【0048】

図12に、ショートセル変動許容のメカニズムを示す。 $\tau$ を補償可能なショートセル揺らぎ時間として推定ショートセル到着時間 $TAT \pm \tau$ の範囲内に到着したショートセル同士を互いに合成すべきショートセル候補とする。

#### 【0049】

図13に、図11に示すフローチャートの各ステップS24、S27、S31、S32における最小ショートセル到着時間 $T$ 、補償可能なショートセル揺らぎ時間 $\tau$ 、推定ショートセル到着時間 $TAT$ の関係を示す。

#### 【0050】

##### 【発明の効果】

以上説明したように、本発明によれば、セルを複数のショートセルに分割して転送する方式における各基本スイッチの遅延ジッタの影響を排除することができる。また、遅延を増大させることなく各基本スイッチの遅延ジッタの影響を排除することができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明第一実施例のATMスイッチ網の要部ブロック構成図。

##### 【図2】

2面の基本スイッチを介してショートセルを転送する構成のATMスイッチを示す図。

##### 【図3】

N面の基本スイッチを書いてショートセルを転送する構成のATMスイッチを示す図。

【図 4】

2面の基本スイッチを介してショートセルを転送する場合のセルのフォーマット例を示す図。

【図 5】

単位スイッチが多段接続された基本スイッチを介してショートセルを転送する構成のATMスイッチを示す図。

【図 6】

単位スイッチが多段接続された基本スイッチを介してショートセルを転送する場合のセルフォーマット例を示す図。

【図 7】

本発明第一実施例のジッタ補償を説明するための図。

【図 8】

本発明第一実施例の動作を示すフローチャート。

【図 9】

本発明第二実施例の動作を示すフローチャート。

【図 10】

本発明第二実施例のATMスイッチ網の要部ブロック構成図。

【図 11】

本発明第四実施例の動作を示すフローチャート。

【図 12】

ショートセル変動許容を説明するための図。

【図 13】

ショートセル変動許容を詳細に説明するための図。

【図 14】

3段構成のATMスイッチを示す図。

【図 15】

遅延均等化方式のATMスイッチを示す図。

【符号の説明】

$1_0 \sim 1_{N-1}$  カウンタ

2、12 比較部

3 遅延時間推定部

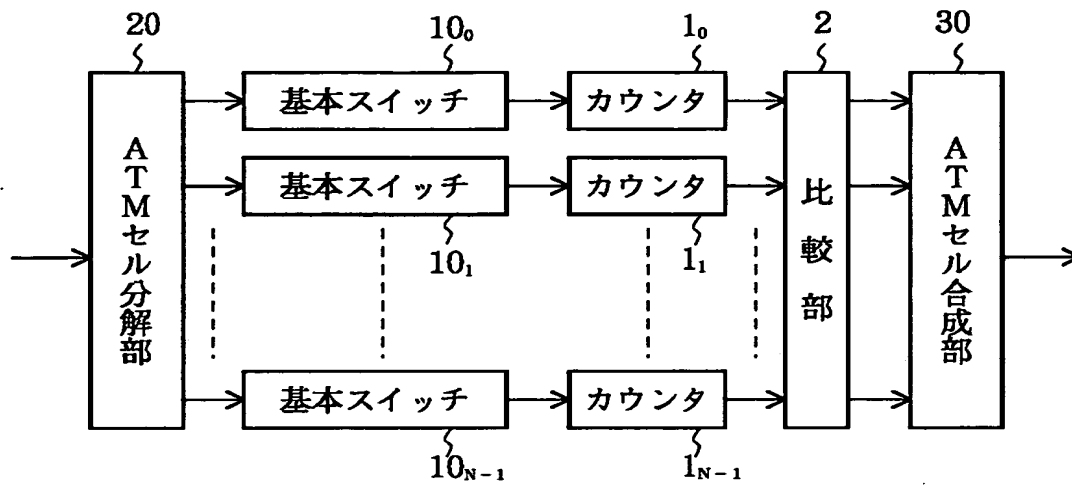
$10_0 \sim 10_{N-1}$  基本スイッチ

20 ATMセル分解部

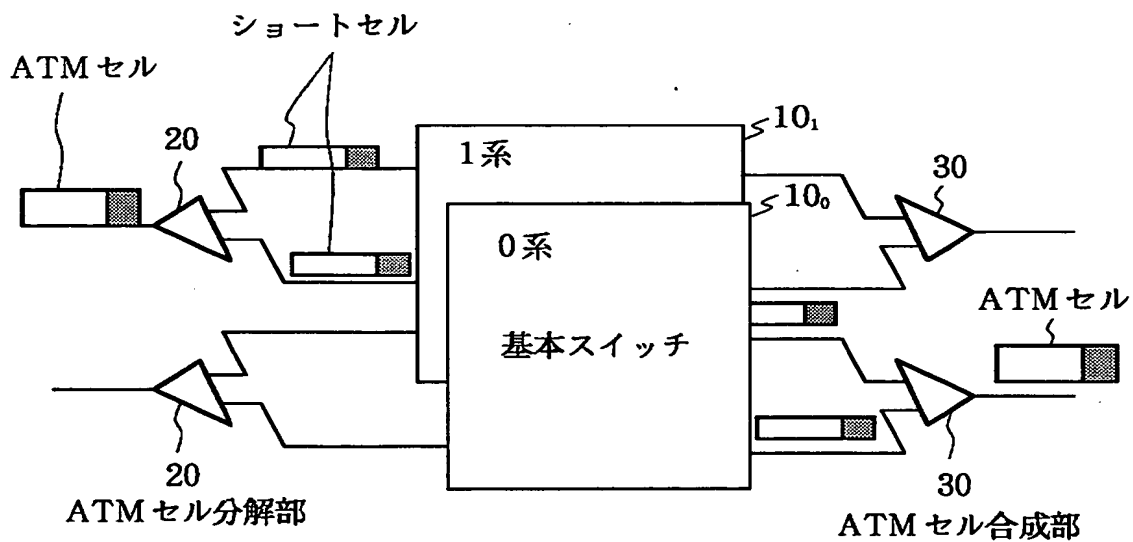
30 ATMセル合成部

【書類名】 図面

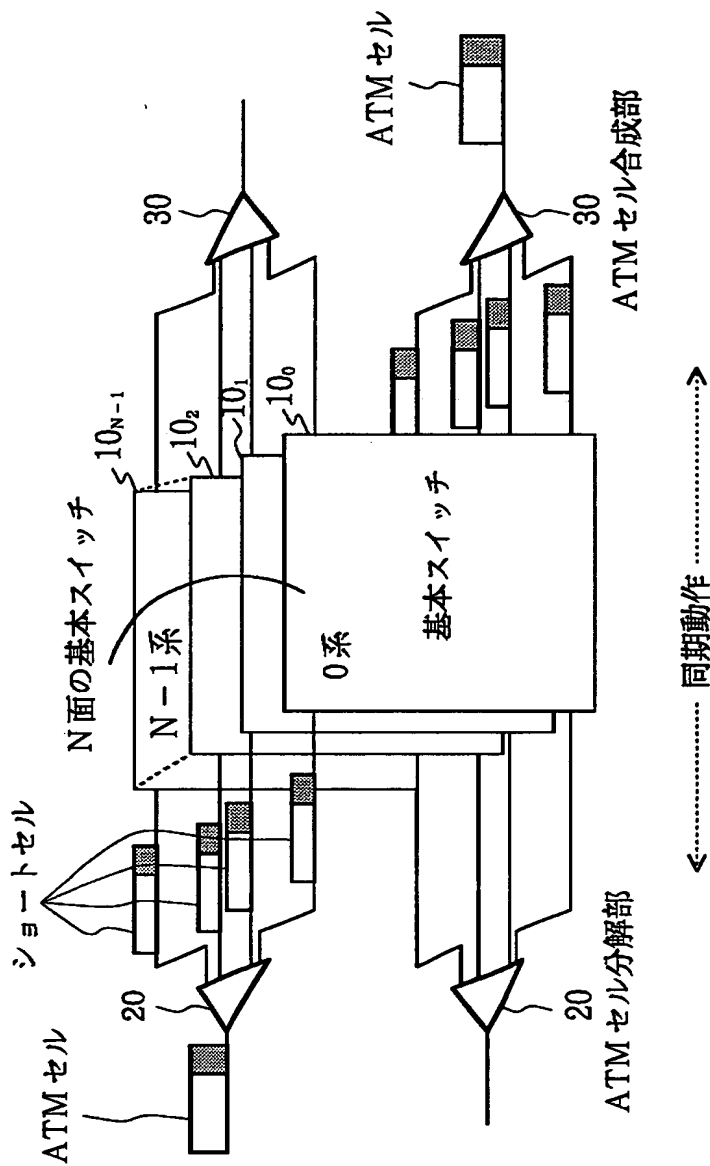
【図 1】



【図 2】



【図 3】



【図4】

セル タイプ	ポート 番号	あて先 ビット	ソース ビット	タイム スタンプ	ATMセル (1/2)
-----------	-----------	------------	------------	-------------	-------------

セル タイプ	ポート 番号	あて先 ビット	ソース ビット	タイム スタンプ	ATMセル (2/2)
-----------	-----------	------------	------------	-------------	-------------

セルタイプ : 0 1 空セル  
               1 0 有効セル  
               1 1 タイミングセル

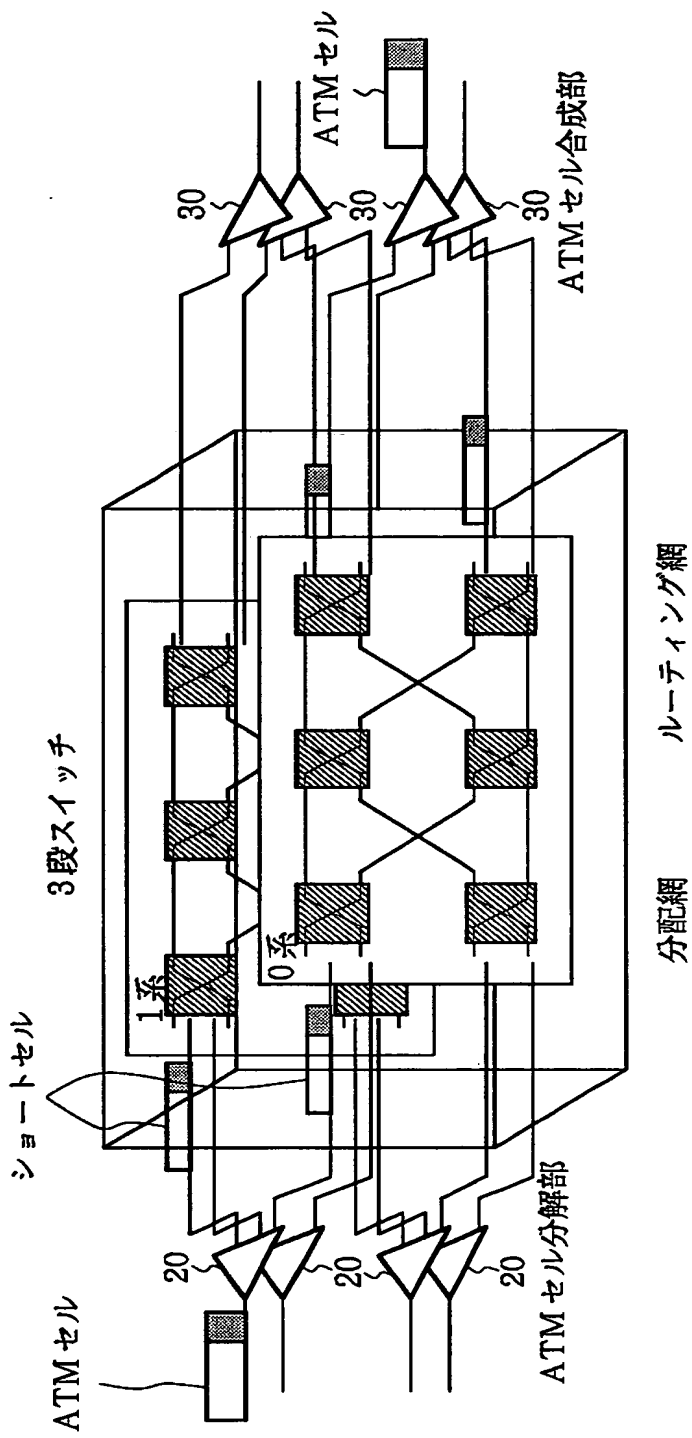
ポート番号 : 0 0 系  
               1 1 系

あて先ビット : 最終的な行き先

ソースビット : 最初に送信されたポート



【図5】



【図 6】

セル タイプ	ポート 番号	あて先 ビット	ルーティング ビット	ソース ビット	タイムス タンプ	ATMセル (1/2)
-----------	-----------	------------	---------------	------------	-------------	-------------

セル タイプ	ポート 番号	あて先 ビット	ルーティング ビット	ソース ビット	タイムス タンプ	ATMセル (2/2)
-----------	-----------	------------	---------------	------------	-------------	-------------

セルタイプ : 0 1 空セル  
               1 0 有効セル  
               1 1 タイミングセル

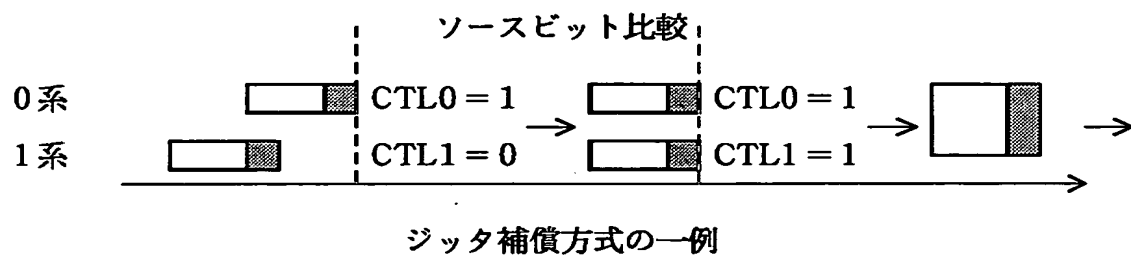
ポート番号 : 0 0 系  
               1 1 系

ルーティングビット : 2段目のスイッチ行き先

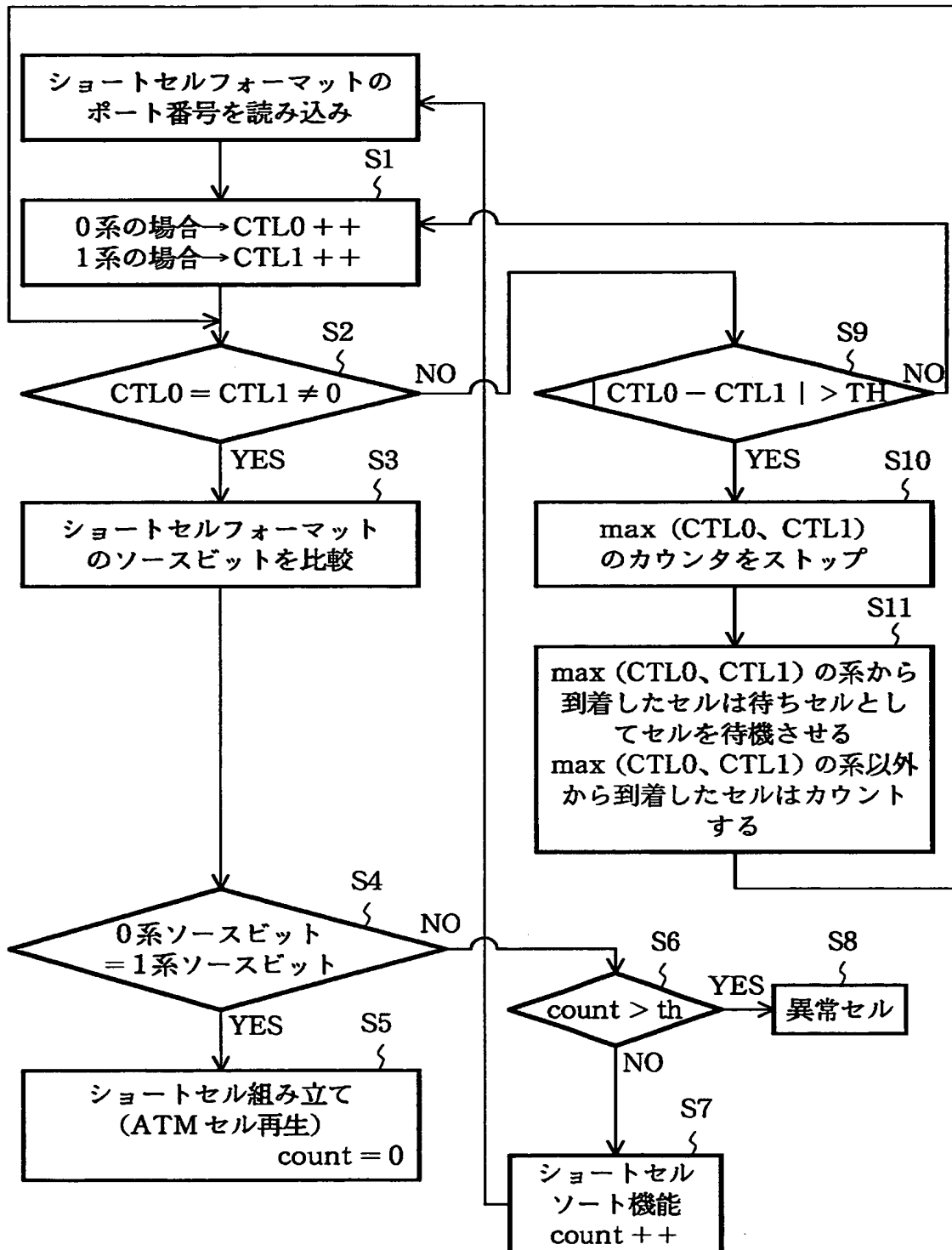
あて先ビット : 最終的な行き先

ソースビット : 最初に送信されたポート

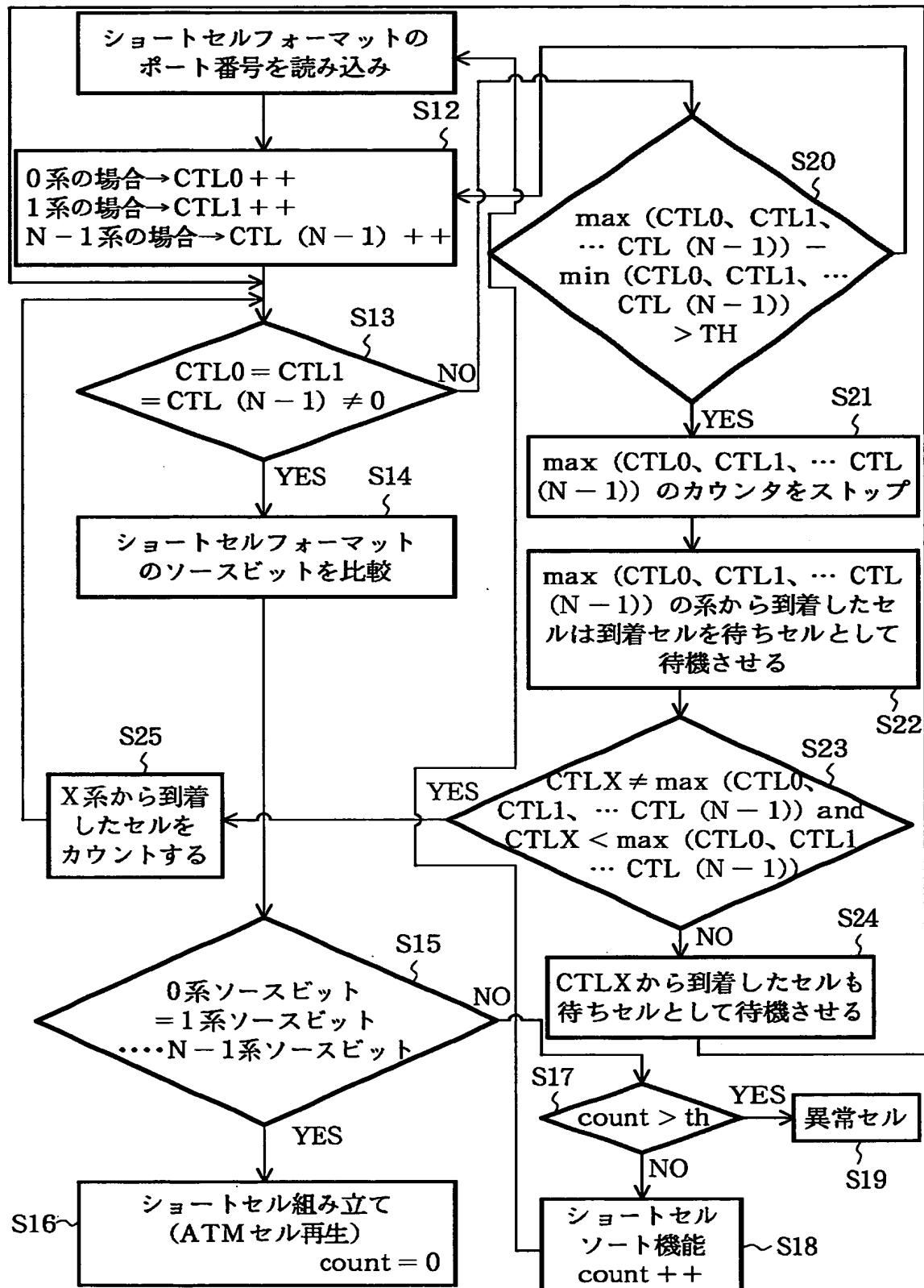
【図 7】



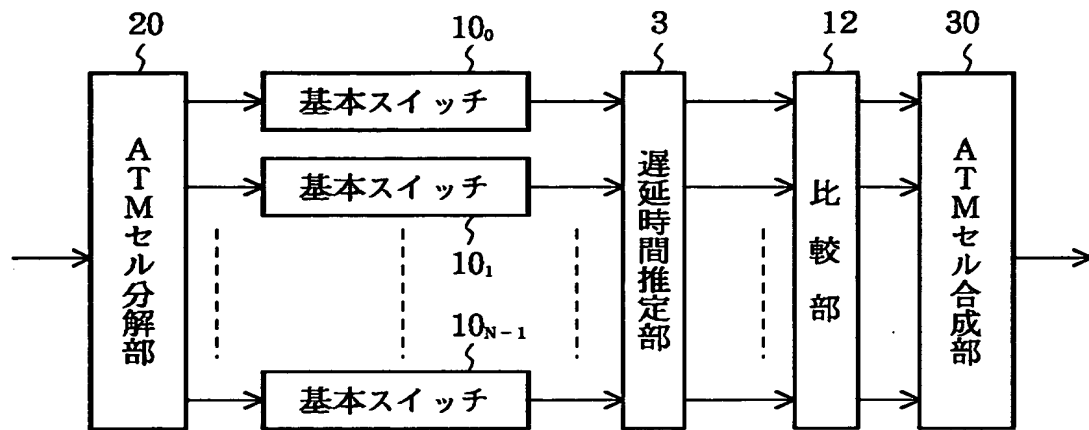
【図 8】



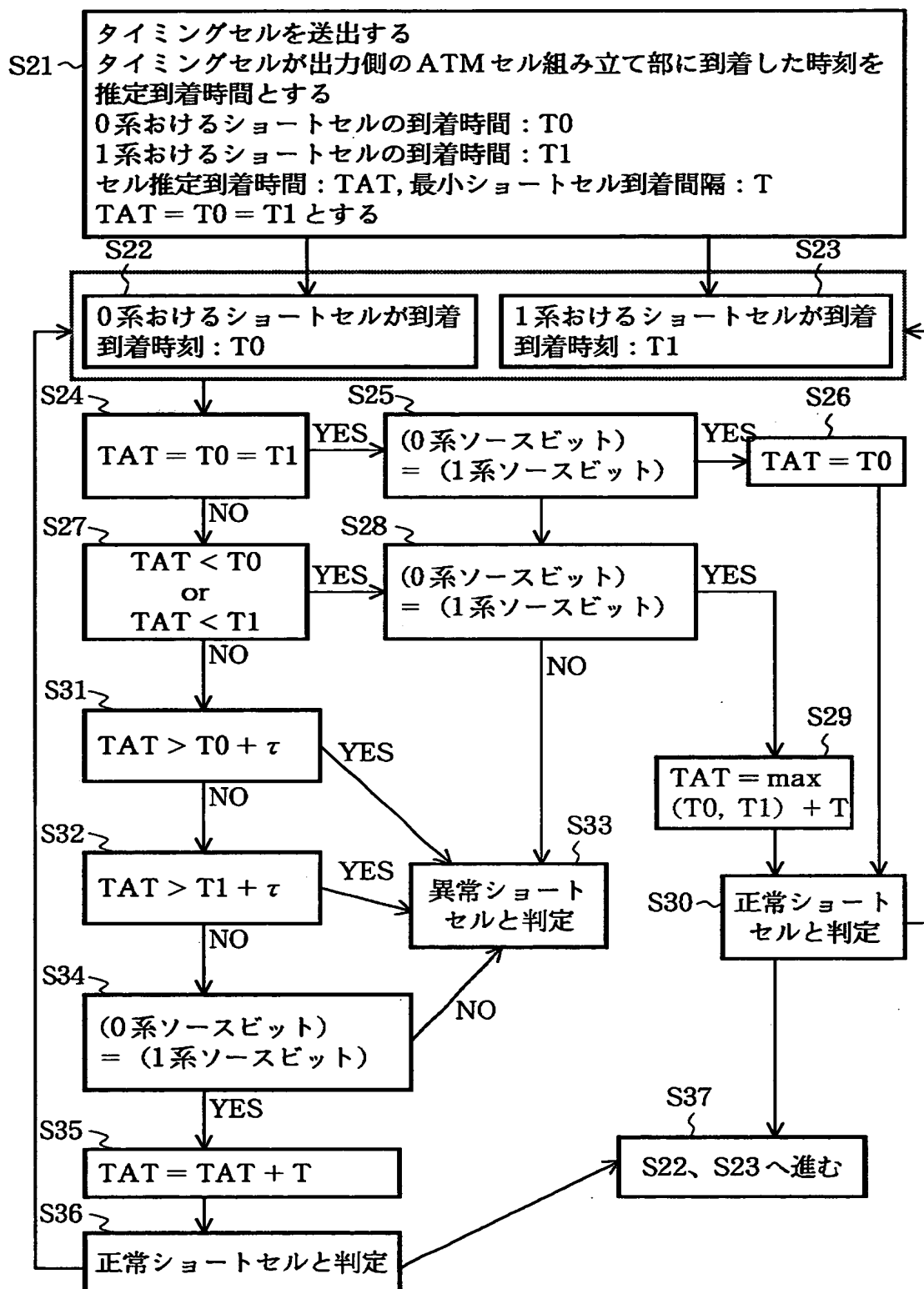
【図9】



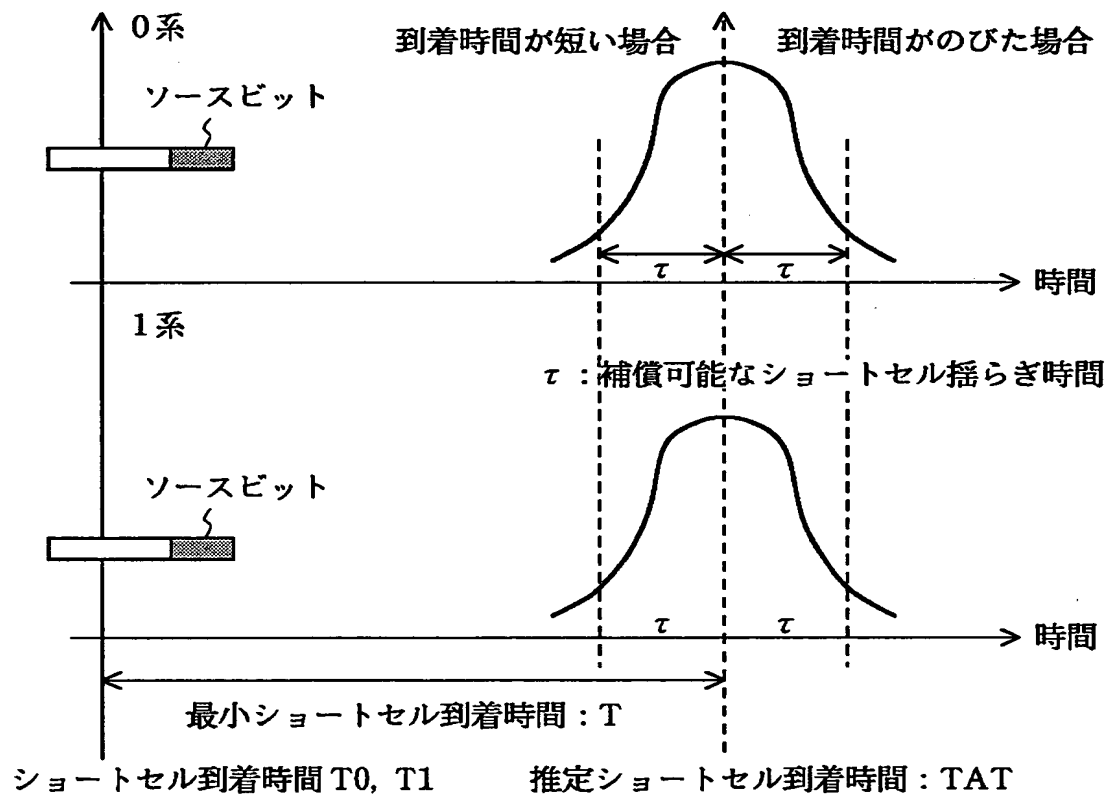
【図 10】



【図 11】



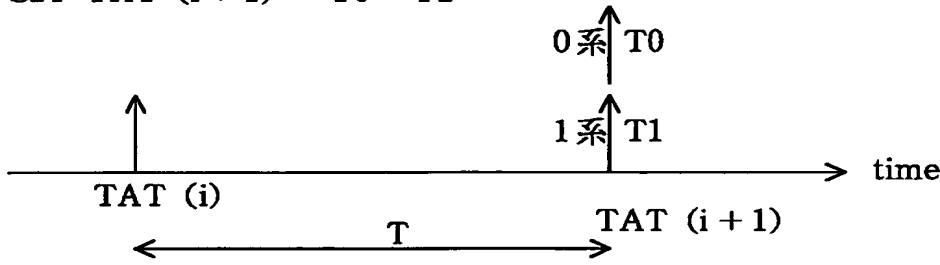
【図 12】



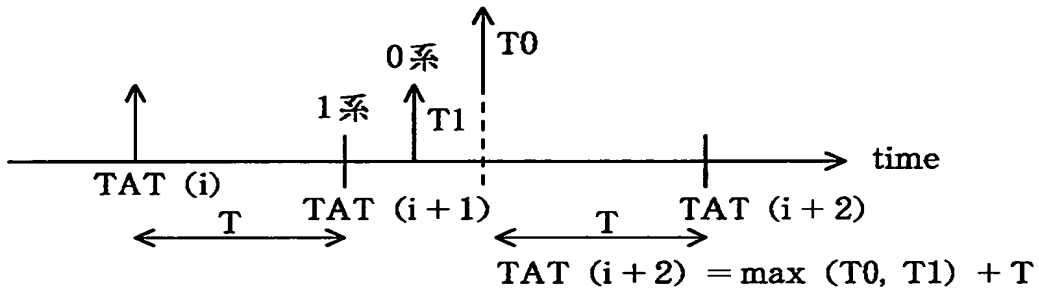


【図 13】

S24  $TAT(i+1) = T0 = T1$



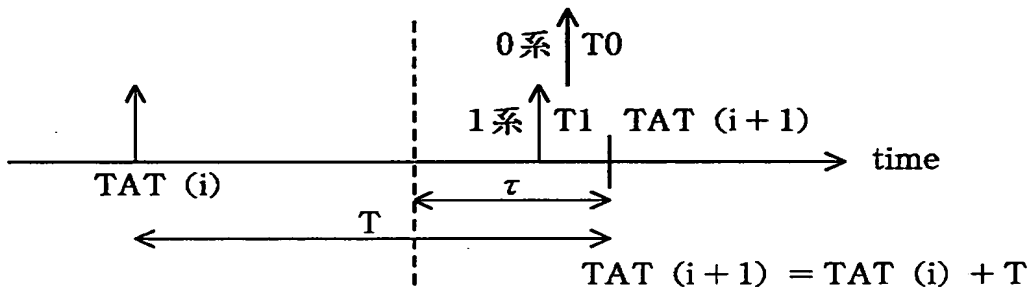
S27  $TAT(i+1) < T0$  or  $TAT(i+1) < T1$



S31'  $T0 < TAT(i+1) < T0 + \tau$

and

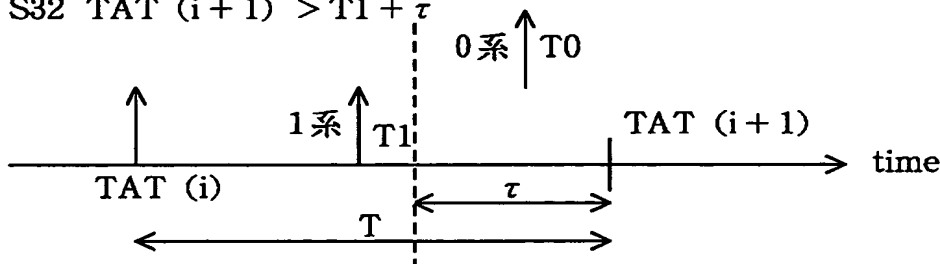
S32'  $T1 < TAT(i+1) < T1 + \tau$



S31  $TAT(i+1) > T0 + \tau$

or

S32  $TAT(i+1) > T1 + \tau$



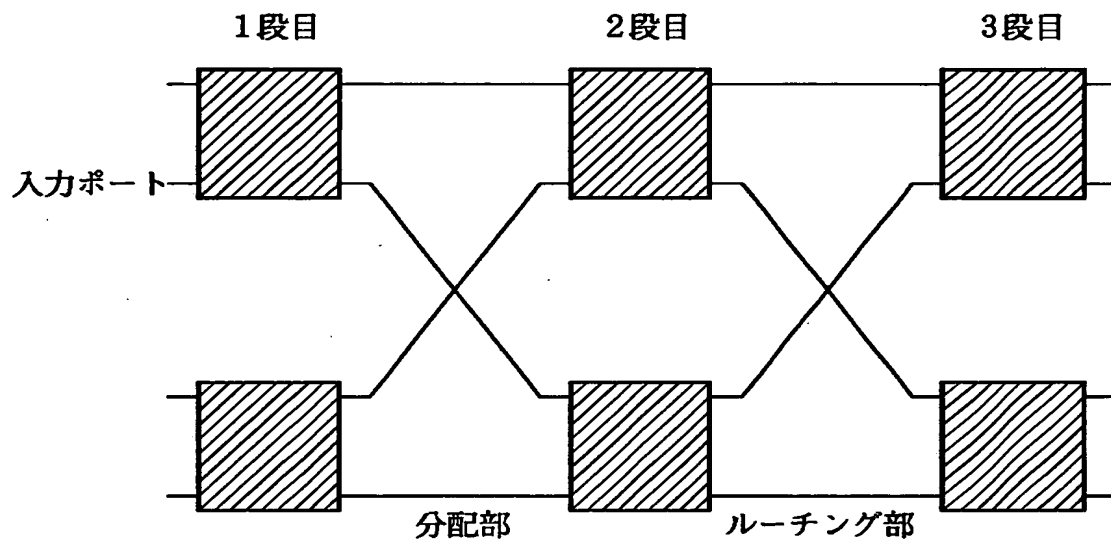
異常ショートセルと判断

最小ショートセル到着時間: T

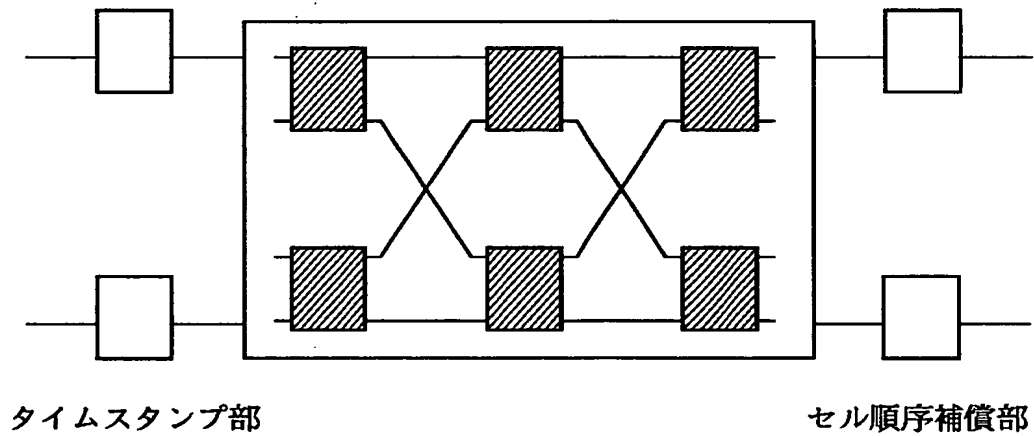
補償可能なショートセル揺らぎ時間:  $\tau$

推定ショートセル到着時間: TAT

【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 セルを複数のショートセルに分割して転送する方式における各基本スイッチの遅延ジッタの影響を排除する。

【解決手段】 基本スイッチから出力されるショートセル数を計数し、計数値が一致するショートセル同士を互いに合成するショートセル候補としたり、遅延時間がほぼ等しいショートセル同士を互いに合成するショートセル候補とし、これらのビット情報の内容をそれぞれ比較することにより、さらに正当性を確認して合成する。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000004226  
【住所又は居所】 東京都新宿区西新宿三丁目 19 番 2 号  
【氏名又は名称】 日本電信電話株式会社  
【代理人】 申請人  
【識別番号】 100078237  
【住所又は居所】 東京都練馬区関町北 2 丁目 26 番 18 号  
【氏名又は名称】 井出 直孝  
【選任した代理人】  
【識別番号】 100083518  
【住所又は居所】 東京都練馬区関町北 2 丁目 26 番 18 号 井出特許  
事務所  
【氏名又は名称】 下平 俊直

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日 1995年 9月21日  
[変更理由] 住所変更  
住 所 東京都新宿区西新宿三丁目19番2号  
氏 名 日本電信電話株式会社
2. 変更年月日 1999年 7月15日  
[変更理由] 住所変更  
住 所 東京都千代田区大手町二丁目3番1号  
氏 名 日本電信電話株式会社